

PAT-NO: JP02000134072A

DOCUMENT-IDENTIFIER: JP 2000134072 A

TITLE: VARIABLE DELAY CIRCUIT

PUBN-DATE: May 12, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
HARA, MASAAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP10299635

APPL-DATE: October 21, 1998

INT-CL (IPC): H03K005/135

ABSTRACT:

PROBLEM TO BE SOLVED: To realize inexpensively a variable delay circuit from which a desired delay is obtained without being affected by a power supply voltage or the like.

SOLUTION: The variable delay circuit is provided with a 3-bit counter 10 that generates data pulses TP, TP2, TP4 with a prescribed period based on a received clock, an up-down counter 20 that counts based on an up-down control signal UD, a delay line 30 whose delay number is set with a count output of the up-down counter 20, a delay amount detection section 40 that detects the delay by the delay line 30 and outputs the result of detect as the up-down control signal UD, and a delay lock detection section 50 that compares a current count output of the up-down counter 20 with a preceding count output to detect

whether or not the delay is locked and provides an output of a required count in the two counts as a reference delay stage number. However, a period of the data pulses is selected as $TP < TP2 < TP4$.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-134072

(P2000-134072A)

(43)公開日 平成12年5月12日 (2000.5.12)

(51)Int.Cl.⁷

H 03 K 5/135

識別記号

F I

H 03 K 5/135

テマコード(参考)

5 J 0 0 1

審査請求 未請求 請求項の数4 OL (全10頁)

(21)出願番号 特願平10-299635

(22)出願日 平成10年10月21日 (1998.10.21)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 原 雅明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100086841

弁理士 脇 篤夫 (外1名)

Fターム(参考) 5J001 AA05 BB00 BB05 BB08 BB12

BB13 BB14 BB21 BB22 BB23

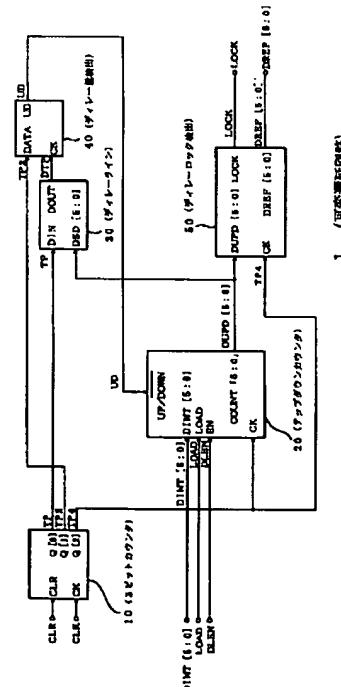
BB24 DD02 DD03 DD09

(54)【発明の名称】 可変遅延回路

(57)【要約】

【課題】 電源電圧などの影響を受ずに所望する遅延量が得られる可変遅延回路を廉価に構成する。

【解決手段】 入力したクロックに基づいて所定の周期とされるデータパルスTP、TP2、TP4を生成する3ビットカウンタ10と、アップダウン制御信号UDに基づいてカウントを行うアップダウンカウンタ20と、アップダウンカウンタ20のカウント出力によってディレーライン30による遅延量を検出し、検出結果をアップダウン制御信号UDとするディレー量検出部40と、アップダウンカウンタ20の現在のカウント出力と過去のカウント出力を比較して遅延量がロックされているか否かを検出し、なおかつ2個のカウント値のうちで所要の値を基準ディレーラインとして出力するディレーロック検出部50を備える。但し、データパルスの周期はTP < TP2 < TP4である。



【特許請求の範囲】

【請求項1】 入力したクロックに基づいて所定の周期とされる第一、第二、第三のパルスデータを生成する分周手段と、

前記第三のパルスデータが供給されるとともに、アップダウン制御信号に基づいてカウントアップまたはカウントダウンを行うアップダウンカウンタと、

前記第一のパルスデータが供給されるとともに、前記アップダウンカウンタのカウント出力に基づいてディレーレベル数が設定されるディレーハンドルと、

前記第二のパルスデータが供給されるとともに、前記ディレーハンドルによって遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、

を備えていることを特徴とする可変遅延回路。但し、前記分周手段において生成される各パルスデータの周期としては、第一のパルスデータ<第二のパルスデータ<第三のパルスデータとなるようにする。

【請求項2】 前記遅延量検出手段は、
前記第一のパルスデータを前記ディレー手段で遅延された遅延パルスデータの立ち上がりのタイミングでラッチして出力する第一のラッチ手段と、
前記第一のパルスデータと前記第一のラッチ手段からのラッチデータの排他的論理和とされるデータの出力を行うようにされているゲート手段と、
前記遅延量検出手段より出力されるデータを前記ゲート手段

前記遅延パルスデータを反転させる反転手段と、前記ゲート手段から出力されるデータを前記反転手段で反転した遅延パルスデータの立下りのタイミングでラッピングして出力する第二のゲート手段。

として出力する第二のノック手段と、
を備え、前記第二のラッチ手段からの出力データが、前
記遅延パルスデータの立ち上がりよりも早いか否かに応
じて、所要のアップダウン制御信号を出力するようにし
たことを特徴とする請求項1に記載の可変遅延回路。

【請求項3】 前記遅延量ロック検出手段は2段のラッチ手段によって構成され、前記第三のパルスデータに基づいて前記アップダウンカウンタのディレーラ一段数データをシフトレジストすることができるようになされているシフトレジスタと、

現在のディレ一段数と前記シフトレジスタによる2クロック前のディレ一段数を比較を行う第一の比較手段と、現在のディレ一段数と前記シフトレジスタによる1クロック前のディレ一段数を比較を行う第二の比較手段と、前記第二の比較手段の比較結果として、現在のディレ一段数と前記2クロック前のディレ一段数が一致した場合

のデータを前記第三のクロックでラッチするラッチ手段と、

前記第一の比較手段の比較結果として、現在のディレーレ一段数と前記2クロック前のディレーレ一段数が一致し、かつ、前記第二の比較手段の比較結果として、現在のディレーレ一段数が前記1クロック前のディレーレ一段数よりも大きい場合に、前記1クロック前のディレーレ一段数を出力し、これ以外の場合に、現在のディレーレ一段数を出力することができるようになっており、選択手段と、

10 前記選択手段で選択されたディレー段数を前記第三のパルスデータでラッチするようにされているラッチ手段

を備えていることを特徴とする請求項1に記載の可変遅延回路。

【請求項4】 入力したクロックに基づいて所定の周期とされる第一、第二、第三のパルスデータを生成する分周手段と、

前記第三のパルスデータが供給されるとともに、アップダウン制御信号に基づいてカウントアップまたはカウントダウンを行うアップダウンカウンタと、
前記第一のパルスデータが供給されるとともに、前記アップダウンカウンタのカウント出力に基づいてモード切替

段数が設定されるディレー手段と、
前記第二のパルスデータが供給されるとともに、前記ディレー手段によって遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、

前記第三のパルスデータが供給されるとともに、前記アップダウンカウンタの現在のカウント出力と過去のカウント出力を比較して遅延量がロックされているか否かを検出し、なおかつ2個のカウント値のうちで小さいほうの値を基準ディレーフレーベルとして出力するディレーロック検出手段と、

を備えた基準ディレー一段数出力手段と、
前記クロックが供給されるとともに、前記基準ディレー一段数出力手段からの基準ディレー一段数と所要のディレー比率を乗算するディレー一段数設定手段と、

前記ディレ一段数設定手段によって設定されたディレー段数により、入力したデータをディレーさせるディレー手段と、

を備えて構成されていることを特徴とする可変遅延回路。但し、前記分周手段において生成される各パルスデータの周期としては、第一のパルスデータ<第二のパルスデータ<第三のパルスデータとなるようとする。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば温度、電源電圧などの影響を受けずに所望する遅延量が得られる可変遅延回路に関するものである。

【従来の技術】入力信号を遅延させる目的で用いるディレーラインとしては、例えばLC(L . . . インダクタ、C . . . コンデンサ) または分布定数回路などによって形成されるオールパスフィルタが知られている。遅延量が一定にされているディレーラインは比較的廉価で構成することができるが、遅延量を可変にしたいわゆるプログラマブルディレーラインは非常に高価なものになる。このプログラマブルディレーラインをデジタルデータの遅延に用いようとした場合、大規模な集積回路(Integrated Circuit . . . 以下、単にICという) を構成する場合に要する価格になることもある。

【0003】デジタルデータを遅延させる構成として、例えば図7に示されているようにインバータを2段直列に接続することによってディレーラインを形成し、これを所望するディレー量になるような段数だけ直列に接続することが知られている。図7に示す例では、インバータの直列接続による例えば63個のディレー素子D1乃至ディレー素子D63が直列に接続され、各ディレー素子の出力が64-1のマルチプレクサ70に供給される。マルチプレクサ70では例えば6ビットのデータ(DSD[5:0])に応じて、いずれかのディレー素子の出力がDOUTから出力される。このようにディレーラインを構成する場合、廉価とされる例えばCMOS(Complementary Metal Oxide Semiconductor) プロセスを用いてIC内部で容易に実現することが可能である。

【0004】

【発明が解決しようとする課題】ところで、LCや分布定数回路によって構成されたディレーラインは特性のばらつきや温度変動が非常に小さいのに対して、ICの内部に構成されるゲートの遅延量は温度やプロセス(回路構成などによる信号の経路など)のばらつき、および電源電圧の変動によって大きく変化してしまう。例えば、CMOSのIC内部のゲートでは、上記した条件が全てゲートの速度を速くする方向に振られた場合と、全て遅くする方向に振られた場合とを比較すると、例えば3倍程度のディレー量の変化が生じてくる。このため、例えば温度補償とともにばらつきや電源電圧依存を低減するような工夫をしたディレー素子またはディレーラインをICに内蔵したり、または実際の使用環境におけるディレー量をオシロスコープなどで観測しながら必要なディレー素子の段数を決定するなどの方法が用いられてきた。しかし、温度補償や電源電圧の依存を低減する場合、通常のゲートとは異なる特殊なプロセスまたは回路が必要になり低価格化が困難になる。また、ディレー量の観測を行う方法では、例えばディレー量などの調整工程の自動化の妨げになるとともに、周囲温度などの使用環境に対応して人為的な再調整が必要になり、この場合も価格的なメリットが減少することになってしまう。

【0005】そこで、例えば特願平7-244963号

公報に、ディレーラインにおいて入力したクロックを2分周した1Tの繰り返しのパルスのデューティーを50%よりもやや大きくした繰り返しパルスをテスト信号としてディレーラインに入力し、ディレー段数の値をひとつずつ増やしていく過程で、テスト信号とディレーしたテスト信号の論理和が常にハイレベルになるようなデータの値を調べることで、1T分のディレーに必要な段数を調べる方法が開示されている。このようにして、1T分のディレーに必要なディレー段数がわかれれば、所望するディレー量を得るために必要なディレー段数を算出することが可能になり、IC内部で容易に実現することができるというメリットを生かして廉価なディレーラインを構成することができるようになる。

【0006】しかしこの場合、1T分のディレーに必要な段数を設定するための方法が複雑なので、各種測定用のプログラムを外部に備えることが必要になり、すなわちIC内部に内蔵するための回路化が困難であるという問題があった。

【0007】

【課題を解決するための手段】本発明はこのような問題点を解決するために、入力したクロックに基づいて所定の周期とされる第一、第二、第三のパルスデータを生成する分周手段と、前記第三のパルスデータが供給されるとともに、アップダウン制御信号に基づいてカウントアップまたはカウントダウンを行うアップダウンカウンタと、前記第一のパルスデータが供給されるとともに、前記アップダウンカウンタのカウント出力に基づいてディレー段数が設定されるディレー手段と、前記第二のパルスデータが供給されるとともに、前記ディレー手段によって遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、前記第三のパルスデータが供給されるとともに、前記アップダウンカウンタの現在のカウント値と過去のカウント値を比較して遅延量がロックされているか否かを検出し、なおかつ2個のカウント値のうちいずれか一方の値を選択して基準ディレー段数として出力するディレーロック検出手段を備えていることを特徴とする可変遅延回路。但し、前記分周手段において生成される各パルスデータの周期としては、第一のパルスデータ<第二のパルスデータ<第三のパルスデータとなるようにする。

【0008】また、入力したクロックに基づいて所定の周期とされる第一、第二、第三のパルスデータを生成する分周手段と、前記第三のパルスデータが供給されるとともに、アップダウン制御信号に基づいてカウントアップまたはカウントダウンを行うアップダウンカウンタと、前記第一のパルスデータが供給されるとともに、前記アップダウンカウンタのカウント出力に基づいてディレー段数が設定されるディレー手段と、前記第二のパルスデータが供給されるとともに、前記ディレー手段によ

って遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、前記第三のパルスデータが供給されるとともに、前記アップダウンカウンタの現在のカウント出力と過去のカウント出力を比較して遅延量がロックされているか否かを検出し、なおかつ2個のカウント値のうちで小さいほうの値を基準ディレーフレーミングとして出力するディレーロック検出手段を備えた基準ディレーフレーミング手段と、前記クロックが供給されるとともに、前記基準ディレーフレーミング手段からの基準ディレーフレーミングと所要のディレーフレーミングを乗算するディレーフレーミング設定手段と、前記ディレーフレーミング設定手段によって設定されたディレーフレーミングにより、入力したデータをディレーフレーミングする手段を備えて構成されていることを特徴とする可変遅延回路。但し、前記分周手段において生成される各パルスデータの周期としては、第一のパルスデータ<第二のパルスデータ<第三のパルスデータとなるようにする。

【0009】本発明によれば、例えばプロセス、電源電圧、温度などによってディレーフレーミングが変化するようなディレーフレーミングの組み合わせによって可変遅延回路を構成した場合でも、常に所望するディレーフレーミングを得ることができるようになる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を説明する。図1は本発明の実施の形態の可変遅延回路の構成例を説明する図である。この図に示されているように例えば3ビットカウンタ10、アップダウンカウンタ20、ディレーライン30、ディレーフレーミング検出部40、ディレーロック検出部50などによって構成される。3ビットカウンタ10は入力したクロックCLKに基づいて、このクロックCLKを2分周した第一のパルスデータとされる1TのデータパルスTP、同じく4分周した第二のパルスデータとされる2TのデータパルスTP2、同じく8分周した第三のパルスデータとされる4TのデータパルスTP4を生成する。アップダウンカウンタ20はディレーフレーミング検出部40からのアップダウン制御信号UDに基づいて、ディレーフレーミングのカウントアップ/カウントダウンを行い、カウント値DUPDを出力するようになっている。例えばアップダウン制御信号UDがハイレベルである場合にカウントアップ、ローレベルである場合にカウントダウンを行う。以下、カウント値DUPDをディレーフレーミングDUPDともいう。ディレーライン30は図7に示したディレーラインに対応しており、アップダウンカウンタ20のカウント値をディレーフレーミング設定データとしてパルスTPを遅延させて出力する。なお、ディレーフレーミングの段数は図7に示したように例えば64個に限定することなく、任意の数に設定することができる。

【0011】ディレーフレーミング検出部40は、ディレーライン30によってデータパルスTPが遅延されたデータパル

スDTPに基づいて、3ビットカウンタ10からのデータパルスTP2をラッチすることによってアップダウン制御信号UDを生成する。なお、ディレーフレーミング検出部40の詳細については後で図2にしたがって詳しく説明する。ディレーロック検出部50は3ビットカウンタ10からのデータパルスTP4のタイミングで、アップダウンカウンタ20のカウント値DUPD(ディレーフレーミング)に基づいて、現在のディレーフレーミングと1クロック前、または2クロック前のディレーフレーミングの比較を行って、ディレーフレーミングがロックされているか否かの判別を行うようにされている。このディレーロック検出部50からは、ディレーフレーミングがロックされていることを示すディレーロック信号LOCKまたは基準ディレーフレーミングDREFが输出される。なお、ディレーロック検出部50の詳細については後で図3にしたがって詳しく説明する。

【0012】図2に従いディレーフレーミング検出部40の構成例を説明する。ディレーフレーミング検出部40は、入力段とされるD-フリップ・フロップ(以下、D-FFという)41と排他的論理ゲート(以下、EORゲートという)42、インバータ43、さらに出力段とされるD-FF44などによって構成される。D-FF41は図1に示したディレーライン30からのデータパルスDTPに基づいてデータパルスTP2をラッチして、データパルスQAとしてEORゲート42に供給する。EORゲート42はデータパルスQAおよびデータパルスTP2の2個のデータの排他的論理和としてデータパルスUPを出力する。D-FF44はEORゲート42からのデータパルスUPを、インバータ43で反転したデータパルスDTPでラッチして、アップダウン制御信号UD、すなわちディレーフレーミングの増または減を選択する制御信号として図1に示したアップダウンカウンタ20に供給する。

【0013】このディレーフレーミング検出部40は、3ビットカウンタ10からのデータパルスTP2をD-FF41の「DATA」に、またデータパルスDTPを「CK」に入力すると、データパルスTP2の立ち上がりがデータパルスDTPの立ち上がりよりも早い場合にアップダウン制御信号UDがハイレベル、または遅い場合にアップダウン制御信号UDがローレベルとされる。

【0014】次に、図3に従いディレーロック検出部50の構成例を説明する。図示されているように、ディレーロック検出部50は、2段のD-FF52a、52bからなるシフトレジスタ52、第一の比較部53、第二の比較部54、D-FF55、ANDゲート55、セレクタ57、D-FF58などによって構成されている。

【0015】アップダウンカウンタ20のカウント値DUPD(ディレーフレーミング)はシフトレジスタ52に供給される。これにより、現在のディレーフレーミングDUPDに対してD-FF52aの出力として1クロック前のディレーフレーミングDR1、D-FF52bの出力として2クロック前のディレーフレーミングDR2を得ることができるようになって

いる。なお、シフトレジスタ52に供給されるクロックはデータパルスTP4とされる。比較部53ではディレ一段数DUPDとディレ一段数DR1の比較を行い、例えばDUPD>DR1である場合にデータ出力を行う。また比較部54ではディレ一段数DUPDとディレ一段数DR2の比較を行い、例えばDUPD=DR2である場合にデータ出力を行う。すなわち、ANDゲート55からはDUPD>DR1とDUPD=DR2の場合の論理積が出力される。D-FF56はDUPD=DR2の場合のディレ一段数をデータパルスTP4でラッチしてディレーロック信号LOCKとしてハイレベルのデータを出力する。

【0016】セレクタ57は1クロック前のディレ一段数DR1と現在のディレ一段数DUPDを入力して、ANDゲート55からの論理積に基づいて、入力したディレ一段数DUPDとディレ一段数DR1を選択的に出力する。例えば、比較部53の比較結果として、ディレ一段数DUPDとディレ一段数DR2が一致し、かつ、比較部54の比較結果として、ディレ一段数DUPDがディレ一段数DR1よりも大きい場合にディレ一段数DR1を出力し、これ以外の場合に、ディレ一段数DUPDを出力することができるようになっている。

【0017】セレクタ57で選択されたディレ一段数(DUPDまたはDR1)はD-FF58に供給され、データパレスTP4によってラッチされて基準ディレ一段数DREFとして常に出力するようになっている。このように、ディレーロック検出部50は2クロック前のディレ一段数DR2と現在のディレ一段数DUPDを比較して一致していればディレーロック信号LOCKを出力し、1クロック前のディレ一段数DR1と現在のディレ一段数DUPDを比較して小さいほうを基準ディレ一段数DREFとして出力するようになっている。

【0018】以下、図4、図5にしたがい図1に示した可変遅延回路1における各信号のタイミングを説明する。なお、図4、図5は一連のタイミングを示しているが、便宜上図4において0nsecから1400nsecまでのタイミングを示し、図5において1400nsec以降のタイミングを示している。また、図4、図5はプロセスの遅延時間や電源電圧が変動したことを想定して例えばクロック周波数を変化させて、クロック周波数の変化に追従して1T分のディレーに必要なディレーレンジ数を出力するようにした一例を示している。これらの図に示されている「j」はクロックの繰返し周期に対応しており、j=10に対してj=9は例えば10%だけ繰返し周期が短い、すなわちクロック周波数が速い状態を示している。さらに、これらの図で(a)は3ビットカウンタ10、(b)はアップダウンカウンタ20、(c)はディレーライン30、(d)はディレーロック検出部50、(e)はディレー量検出部40における各信号のタイミングを示している。

【0019】図4に示されているように、Onsecから120nsecの期間において、リセット信号CLRがローレベルになった時点で、3ビットカウンタ10(a)がリセットされ、さらにアップダウンカウンタ20(b)においてロード信号LOADがローレベルになった時点で初期のディレーライン30(DINTとして「0x20」)がロードされる。つまりディレーライン30(c)においてディレーライン30(DSDとして「0x20」)が設定される。これにより、ディレーライン30に入力したデータパルスTTPは「0x20」のディレーラインによって遅延されてデータパルスDTPとして出力される。

【0020】そして120nsecから500nsecの期間において、「0x20」のディレ一段数によるディレー量は1T分のディレーに対して不足しているので、ディレー量検出部40に入力されるデータパルスTP2の反転タイミングよりデータパルスDTPの立ち上がりが早くなっている。したがって、データパルスTP2をデータパルスDTPの立ち上がりでラッチしたデータパルスQAとデータパルスTP2の排他的論理和とされるデータパルスUPは、データパルスDTPの立ち上がりからデータパルスTP2の反転までのわずかな間だけローレベルになる、ほとんどがハイレベルとなるパルスとされる。したがって、アップダウンカウンタ20(b)ではデータパルスTP4の立ち上がりのタイミングで、アップダウン制御信号UDがハイレベルとなり、ディレー段数DUPDはカウントアップされ「0x21」となる。以降500nsecまで、同様にしてディレー段数DUPDはカウントアップされ「0x22」となる。

30 【0021】さらに500nsecから1400nsecの期間において、ディレ一段数DUPDが「0x23」になると、ディレー量が1T分よりも大きくなるのでディレー量検出部40に入力されるデータパルスT P 2の反転タイミングはデータパルスT Pの立ち上がりよりも早くなる。したがって、データパルスQAとデータパルスT P 2の排他的論理和とされるデータパルスU Pは、データパルスT P 2の反転タイミングからデータパルスT Pの立ち上がりまでのわずかなハイレベルになる、ほとんどがローレベルとなるパルスとされる。ア
40 ップダウンカウンタ20ではデータパルスT P 4の立ち上がりでアップダウン制御信号UDがローレベルなので、ディレ一段数DUPDはカウントダウンされて「0x22」とされる。

【0022】以降、データパルスTP4の立ち上がりで、アップダウン制御信号UDはハイレベル、ローレベルを交互に繰り返すことになり、したがってディレ一段数DUPDは「0x23」「0x22」の値を交互に採ることになる。そこで、ディレーロック検出部50においてディレ一段数DUPDがロックされたか否かを検出する。ディレーロック検出部50では、データパルスTP4

P4の立ち上がり毎に2クロック前のディレーフレーダー段数DR2と現在のディレーフレーダー段数DR1を比較して一致していれば、1T分のディレーフレーダー量となる所望するディレーフレーダー段数が、ディレーフレーダー段数DR1とディレーフレーダー段数DUPDの間にすることになるので、ディレーフレーダー段数がロックしたとみなしてディレーロック信号LOCKをハイレベルにして出力する。そしてディレーフレーダー段数DR1とディレーフレーダー段数DUPDを比較して小さいほうの「0x22」を1T分ディレーフレーダーさせるための基準ディレーフレーダー段数DREFとして出力する。

【0023】図5に示されているように、1400nsで、クロックCLKがj=10からj=9になると、先述したようにパルスの繰返し周期が例えば10%短くなり、周波数が速い状態となると、ディレーフレーダー段数「0x22」によるディレーフレーダー量は1T分のディレーフレーダーに対して大きすぎる。したがって、アップダウン制御信号UDはローレベルになり、アップダウンカウンタ20ではデータパルスTP4の立ち上がりでディレーフレーダー段数DUPDはカウントダウンされる。ディレーフレーダー段数DUPDが「0x1E」までカウントダウンされると、1T分のディレーフレーダー量よりも小さくなるので、それ以降は「0x1E」と「0x1F」を交互に繰り返して、小さいほうの「0x1E」を1T分ディレーフレーダーさせるための基準ディレーフレーダー段数DREFとして出力する。

【0024】このように、入力するクロックCLKの周期が変化しても、その変化量に対応して所望するディレーフレーダー量を得ることができる基準ディレーフレーダー段数を得ることができるようになる。

【0025】なお、図3に示したディレーロック検出部50では、ディレーフレーダー段数DR1とディレーフレーダー段数DUPDの小さいほうを基準ディレーフレーダー段数DREFとして出力するように説明したが、大きいほうを出力するようにしても良い。また、図1に示した可変遅延回路1の構成においてディレーフレーダー量検出部40を省略して、データパルスTP4の立ち上がり(8クロック)毎に振動するディレーフレーダー段数DUPDをそのまま出力するようにしても、上記した場合とほぼ同様の効果を得ることができる。さらに、データパルスTP2、TP4をそれぞれ2Tパルス、4Tパルスとして説明しているが、TP4>TP2>TPという関係が成立していればデータパルスTP2、TP4に任意の周期のデータパルスを適用することができる。

【0026】また、図1のアップダウンカウンタ20に示したように、例えばハイレベルのときだけカウントアップ/ダウン動作を可能にするイネーブルデータDLENを入力可能にして、必要なときだけ基準ディレーフレーダー段数DREFを追従するようにすることも可能である。

【0027】また、このような可変遲延回路1が必要とされる他の回路と一緒にして容易に1チップ化が可能になる。

【0028】図6は本発明の変形例として図1に示した可変遲延回路1を入力段に構成した可変遲延回路の構成例を説明する。この図に示す例では、可変遲延回路1と、1Tパルス幅に対してディレーフレーダーの比率DRATE[3:0]と可変遲延回路1からの基準ディレーフレーダー段数DREFの掛け算を行いディレーフレーダー段数設定部60、このディレーフレーダー段数設定部60で設定されたディレーフレーダー段数によって入力したデータDINを遅延してデータDOUTとして出力するディレーライン70によって構成されている。なお、ディレーライン70は図1に示したディレーライン30と同様の構成とされる。ここで、ディレーフレーダー段数設定部60は例えば3ビットのDRATE[3:0]と例えば6ビットのDREF[5:0]を掛け合わせて、9ビットのMPX[9:0]を計算するようにされ、以下のようにMPXの上位6ビットをDSDとして出力する。

$$MPX[9:0] = DRATE[3:0] \times DREF[5:0]$$

$$DSD[5:0] = MPX[9:4]$$

したがって、例えばディレーフレーダー比率DRATE=3'h1であった場合、クロック周期1/16のディレーフレーダー量になり、例えばディレーフレーダー比率DRATE=3'hfであった場合、クロック周期の15/16のディレーフレーダー量になる。但し、これはディレーフレーダー比率DRATEのビット数やディレーフレーダー段数設定部60における掛け算手段の演算精度を限定するものではない。

【0029】

【発明の効果】以上、説明したように本発明は、例えばプロセス、電源電圧、温度などによってディレーフレーダー量が変化するようなディレーフレーダー素子の組み合わせによって可変遲延回路を構成した場合でも、実際の使用条件において常に所望するディレーフレーダー量を得ることができるようになる。したがって、外部における他の回路構成やプログラムなどを必要とせずに、可変遲延回路を構成することができる。また、本発明はCMOSなどのプロセスで実現することができるるので、従来のLICや分布定数回路を用いた可変遲延回路と比較しても極めて廉価で構成することができるようになる。

【図面の簡単な説明】

【図1】本発明の実施の形態の可変遲延回路の構成を説明するブロック図である。

【図2】図1の可変遲延回路を構成するディレーフレーダー量検出部の構成例を説明する図である。

【図3】図1の可変遲延回路を構成するディレーロック検出部の構成例を説明する図である。

【図4】可変遲延回路における各信号のタイミングを示す図である。

【図5】可変遲延回路における各信号のタイミングを示す図である。

【図6】本発明の変形例の可変遲延回路の構成を説明す

る図である。

【図7】ディレーラインの構成を説明する図である。

【符号の説明】

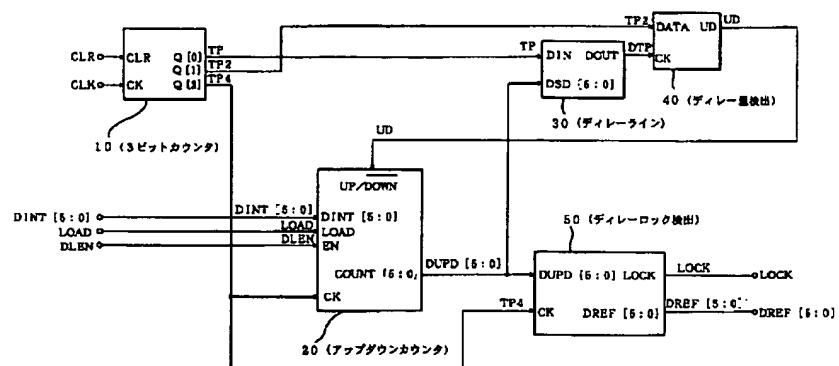
1, 60 可変遅延回路、10 3ビットカウンタ、2

0 アップダウンカウンタ、30, 70 ディレーライ

ン、40 ディレー量検出部、50 ディレーロック検

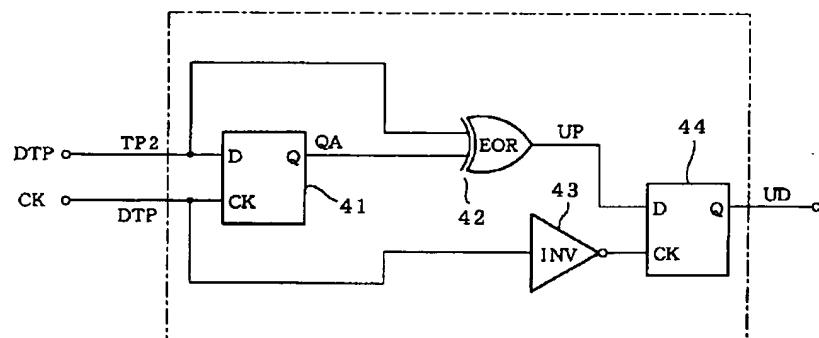
出部、41, 44 D-FF、42 EORゲート、43 インバータ、52 シフトレジスタ、52a, 52b D-FF、53, 54 比較器、55 ANDゲート、56, 58 D-FF、57 セレクタ、70 ディレーライン検出部

【図1】



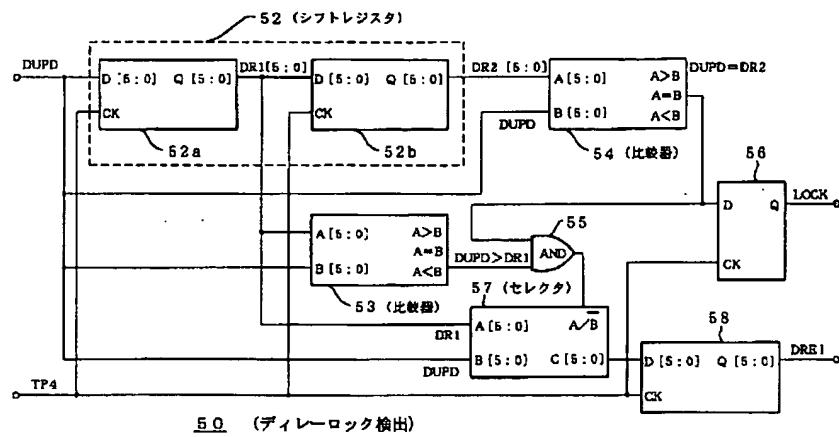
1. (可変遅延回路)

【図2】



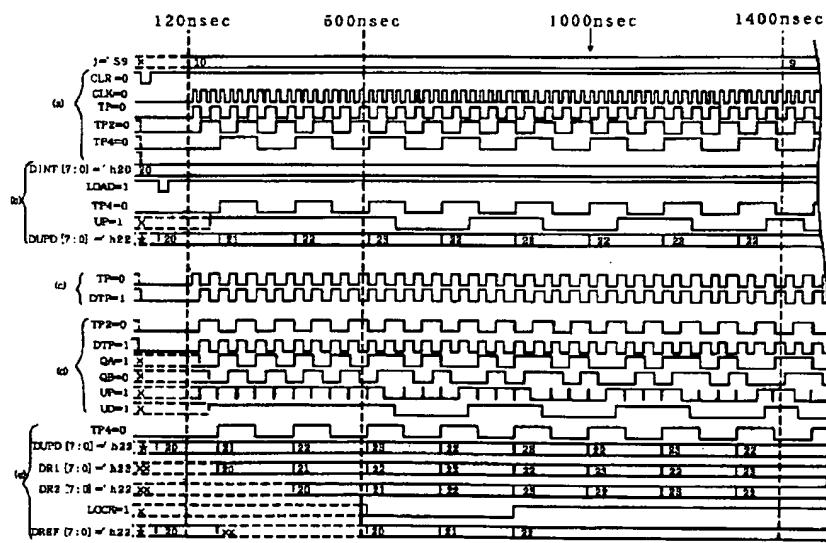
40 (ディレー量検出)

【図3】

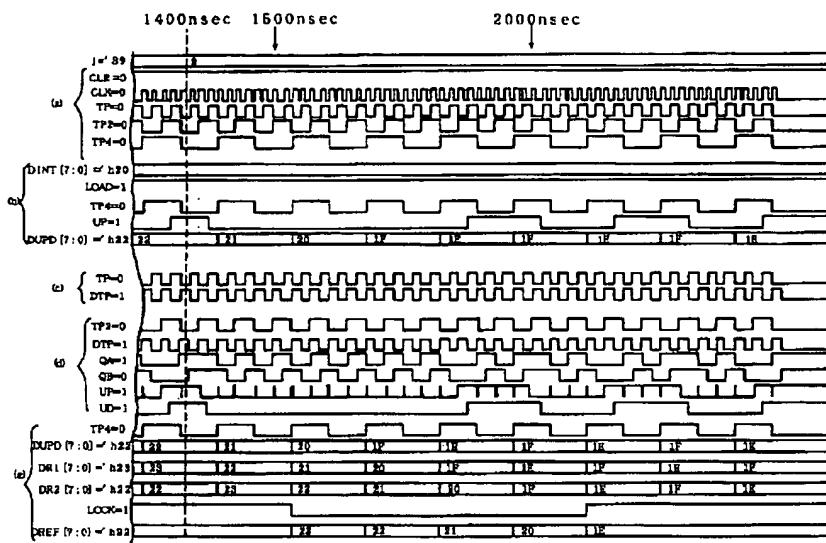


5.0 (ディレーロック検出)

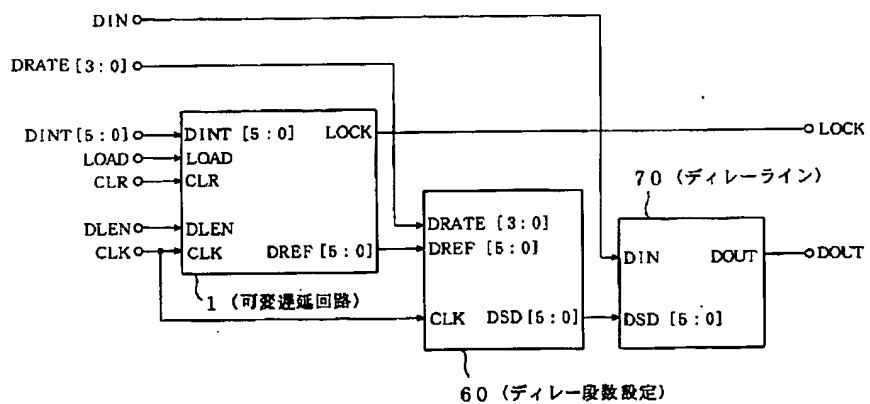
【図4】



【図5】



【図6】



【図7】

